

⑯ 公開特許公報 (A)

昭64-76755

⑯ Int.Cl.⁴H 01 L 27/08
29/78

識別記号

321
301

序内整理番号

Z-7735-5F
Q-8422-5F

⑯ 公開 昭和64年(1989)3月22日

審査請求 未請求 発明の数 3 (全6頁)

⑯ 発明の名称 半導体装置

⑯ 特願 昭62-232209

⑯ 出願 昭62(1987)9月18日

⑯ 発明者 保川 彰夫 茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

⑯ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑯ 代理人 弁理士 小川 勝男 外1名

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. シリコン基板に形成されたPチャンネル電解効果トランジスタ素子を有する樹脂封止型の半導体装置において、前記シリコン基板の表面を

(110)面とし、前記素子をそのPチャンネル電流方向が<110>方向となるように配置することを特徴とする半導体装置。

2. シリコン基板に形成されたPチャンネル電解効果トランジスタ素子を有する樹脂封止型の半導体装置において、前記シリコン基板を(110)

面のシリコンウエハから一辺の方向が<111>方向となるような方向に切り出し、前記素子のソース電極、ゲート電極及びドレイン電極をこの方向に並べて配置することを特徴とする半導体装置。

3. シリコン基板に形成されたPチャンネル電解効果トランジスタ素子を有する樹脂封止型の半

導体装置において、前記シリコン基板を(211)面のシリコンウエハから一辺の方向が<111>方向となるような方向に切り出し、前記素子のソース電極、ゲート電極及びドレイン電極をこの方向に並べて配置することを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、樹脂封止型のシリコン電解効果トランジスタ(以下、FET)に係り、特に、CMOSに好適な半導体装置の構造に関する。

〔従来の技術〕

従来の装置は、特開昭57-84176号公報に記載のように、要部を第4図に示したような、(100)面の単結晶シリコンを用いている。そして、シリコン基板1の上に、PチャンネルFETのソース電極5、ゲート電極6、ドレイン電極7と、NチャンネルFETのソース電極10、ゲート電極11、ドレイン電極12が、ともに<110>方向に並べて、形成されていた。

この装置のPチャンネルFETを含む要部の側面断面図を、第5図に示す。N型のシリコン基板1の表面の一部に、P型の領域2、3が形成される。これらの上には、穴を有する絶縁膜4が形成される。この上には、導体5、6、7が形成され、それぞれ、ソース電極、ゲート電極、ドレイン電極となる。これらの上には、保護膜8が形成される。さらに、これらは、樹脂9によつておおわれる。

ここで、シリコン基板1と樹脂9の線膨張係数は、大きく異なるため、樹脂封止後の冷却または使用時の温度変化などにより、シリコン基板表面には、大きなせん断応力 τ が生じる。

この応力により、FETのチャンネル電流 i は、変化することになる。チャンネル電流 i の主成分は、シリコン基板表面に平行に流れる。一方、電場 E の主成分は、シリコン基板1の表面に垂直な方向に加わっている。この場合、応力による電流変化は、次式で表される。

(3)

〔問題点を解決するための手段〕

上記目的は、(110)面のシリコン基板を用い、PチャンネルFET素子を、そのチャンネル電流方向が<110>方向となるように配置することにより、達成される。

本願第1番目の発明に係る半導体装置は、シリコンに形成されたPチャンネルFET素子を有する樹脂封止型の半導体装置において、前記シリコンの表面を(110)面とし、前記PチャンネルFET素子を、そのチャンネル電流方向が<110>方向となるように配置することを特徴とする。この場合においては同じシリコンにNチャンネルFET素子も形成し、このNチャンネルFET素子をそのチャンネル電流方向が<100>方向となるように配置することが望ましい。

本願第2番目の発明に係る半導体装置はシリコン基板に形成されたPチャンネルFET素子を有する樹脂封止型の半導体装置において、前記シリコン基板を(110)面のシリコンウエハから、1辺の方向が<111>方向となるような方向に

(5)

$$\frac{\Delta i}{i} = -\pi_{66}' \cdot \tau \quad \dots (1)$$

ここに、 Δi は応力による電流変化、 i は応力0での電流、 π_{66}' はピエゾ抵抗係数の成分の一つ、 τ はせん断応力である。

π_{66}' を各種結晶面の各種方位について解析した結果を、第6図～第9図に示す。

〔発明が解決しようとする問題点〕

第6図より、(100)面のPチャンネルの場合、 π_{66}' は非常に大きくなる。従来の装置では、(100)面を用いていたため、応力による電流変化が大きくなつていていた。このため、樹脂封止や使用時に特性が変動し、設計通りの安定した特性が得られないという問題があつた。

上記従来技術は、樹脂から加わる応力による特性変動の点について配慮が十分でなく、安定した特性が得られないという問題があつた。

本発明の目的は、樹脂から加わる応力による特性変動が小さく、安定した特性を有する半導体装置を得ることにある。

(4)

切り出し、前記PチャンネルFET素子のソース電極、ゲート電極、ドレイン電極をこの方向に並べて配置したことを特徴とする。この場合においては同じシリコン基板上にNチャンネルFET素子も形成し、もう1つの辺の方向を<211>方向に切り出し、前記NチャンネルFET素子のソース電極、ゲート電極、ドレイン電極をこの方向に並べて配置することが望ましい。

本願第3番目の発明に係る半導体装置はシリコン基板に形成されたPチャンネルFET素子を有する樹脂封止型の半導体装置において、前記シリコン基板を(211)面のシリコンウエハから、1辺の方向が<111>方向となるような方向に切り出し、前記PチャンネルFET素子のソース電極、ゲート電極、ドレイン電極をこの方向に並べて配置したことを特徴とする。この場合においては、同じシリコン基板上にNチャンネルFET素子も形成し、もう1つの辺の方向を<110>方向に切り出し、前記NチャンネルFET素子のソース電極、ゲート電極、ドレイン電極をこの方

(6)

向に並べて配置することが望ましい。

〔作用〕

樹脂封止型のFET素子の応力による特性変動で重要なピエゾ抵抗係数 $\pi_{ss'}$ は、Pチャンネルの場合、(110)面の<110>方向で最小となる。したがつて、応力による特性変動が最小となるので、安定した特性が得られる。

〔実施例〕

以下、本発明の実施例を同面に従つて説明する。

第1図において、第4図と同一符号のものは、同一部分を示す。第1図が第2図と異なる点は、シリコン基板1に(110)面を用いており、PチャンネルFETのソース電極5、ゲート電極6、ドレイン電極7が<110>方向に配列され、Pチャンネル電流が<110>方向に流れるようになつておる、NチャンネルFETのソース電極10、ゲート電極11、ドレイン電極12が<100>方向に配列され、Nチャンネル電流が<100>方向に流れるようになつておる。

(7)

本実施例においても、PチャンネルFETを含む要部の側面断面形状は、第5図に示すのと同じになり、応力によるチャンネル電流変化も、(1)式で表される。ただし、ピエゾ抵抗係数 $\pi_{ss'}$ の値は、シリコン基板1の面が異なるため、異なる。

ピエゾ抵抗係数 $\pi_{ss'}$ の値は、第6図～第9図より、Pチャンネルの場合、(110)面の<110>方向で最小になることがわかる。本実施例では、Pチャンネルの電流方向がこの方向となつておる、応力による電流変化が最小となる。この結果、安定した特性が得られる。

なお、同一のシリコン基板1の表面に、NチャンネルFETも形成する必要がある場合には、第7図より、Nチャンネルの $\pi_{ss'}$ は(110)面の<100>方向で最小となるので、この方向にNチャンネルの電流方向が一致するようすればよい。本実施例では、このようになるように、NチャンネルFETが配置されている。

第2図は、本発明の別の実施例の要部を示す図である。

(8)

本実施例では、シリコン基板1に(100)面を用いておる、前の例と同じであるが、1辺が<111>方向となり、この方向にPチャンネルFETのソース電極5、ゲート電極6、ドレイン電極7を配置し、Pチャンネル電流が<111>方向に流れるようにしておる。一方、もう1つの辺は、<112>方向となつておる、この方向にNチャンネルFETのソース電極10、ゲート電極11、ドレイン電極12を配置し、Nチャンネル電流が<211>方向に流れるようにしておる。

本実施例は、第7図からわかるように、特性安定性の面で最適ではないが、従来と比較するとかなりの改善が得られる。本実施例では、これに加えて、生産性を向上できるという特徴がある。

シリコン基板1は、シリコンウエハから切り出して、作られる。<110>面のシリコンウエハの場合、結晶の性質から、シリコン基板1の一つの辺の方向を<111>、これと直交する辺の方向を<211>として、切り出すのが、生産性が高い。この半導体基板1の上に、辺の方向と傾け

(9)

て、<110>と<100>方向に、それぞれPチャンネルFETとNチャンネルFETのチャンネル電流を流す方法も考えられる。しかし、こうすると、電極を辺に対して傾めに配置しなければならず、シリコン基板1の表面の中に、有効に活用できない部分がでてくるため、同じ数の素子を組み込むためのシリコン基板1の面積が大きくなつてしまふ。そこで、シリコン基板1の辺の方向<111>と<211>方向にそれぞれPチャンネルFETとNチャンネルFETの電極を並べれば、シリコン基板1の表面を有効に使えるため、シリコン基板1の面積が小さくてすむ。また、<111>と<211>方向は、加工性が良いため、歩止りも向上し、コスト的にも有利である。

第3図は、本発明のまた別の実施例の要部を示す図である。

本実施例では、シリコン基板1を(211)面のシリコンウエハから、1辺の方向が<111>方向となるように切り出しており、PチャンネルFET素子のソース電極5、ゲート電極6、ドレ

(10)

イン電極7を、この方向に並べて配置することにより、Pチャンネル電流がこの方向に流れるよう正在する。また、もう1つの辺の方向が<110>方向となるようにしており、NチャンネルFET素子のソース電極8、ゲート電極9、ドレイン電極10をこの方向に並べて配置することにより、Nチャンネル電流がこの方向に流れるよう正在する。

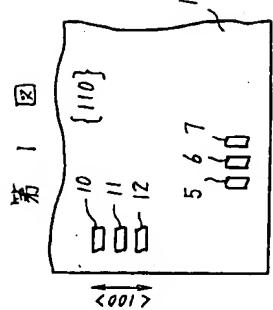
前の実施例と同じ考え方で、第9図から、本実施例でも十分な効果があることがわかる。また、第9図から、本実施例では、多少角度がずれても感度の変化が小さいことがわかる。したがつて、加工精度が多少低くてもよいため、生産が容易であるという利点がある。

【発明の効果】

本発明によれば、樹脂封止後の冷却や使用時の温度変化などで生じる応力による電流変動を小さくできるので、安定した特性が得られるという効果がある。

4. 図面の簡単な説明

(11)

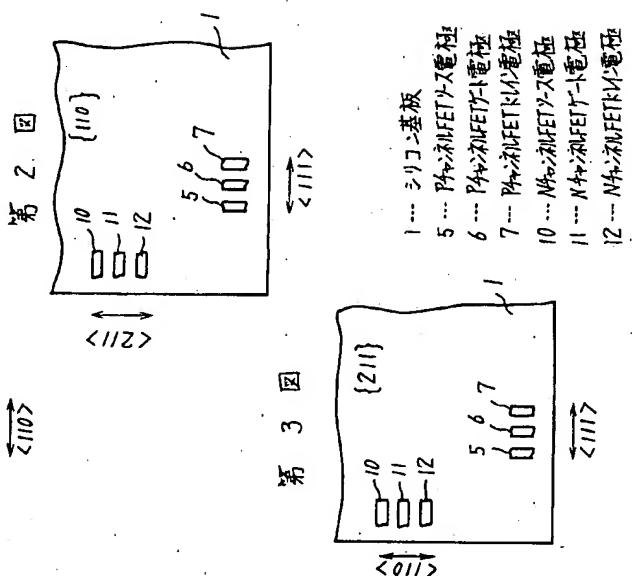


第1図

第2図

第3図

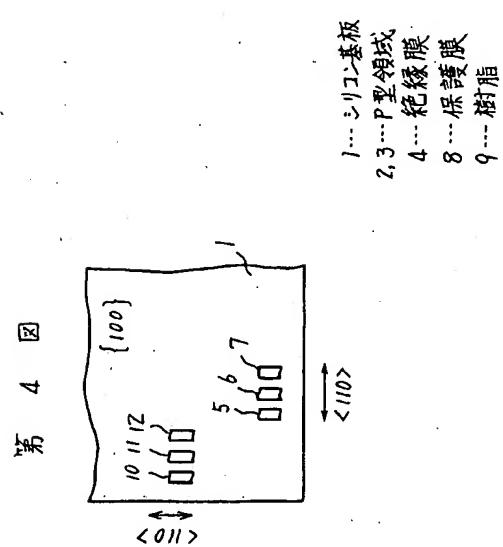
(12)



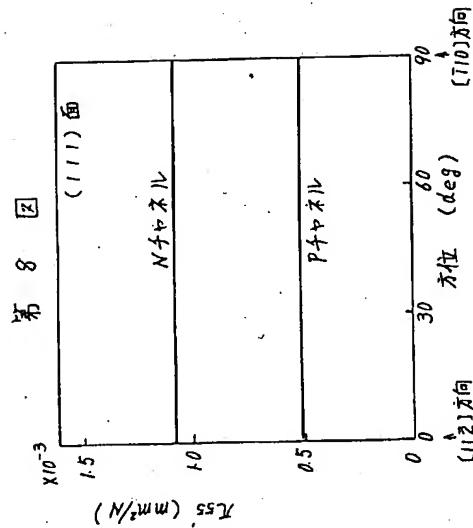
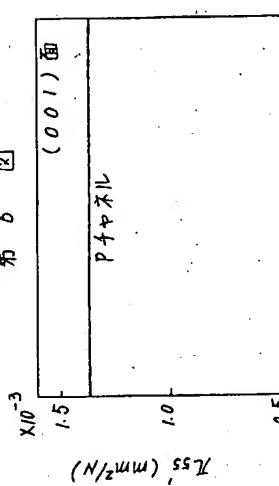
第1図、第2図、第3図は夫々本発明の実施例に係る半導体装置のシリコン基板要部の平断面図、第4図は従来例に係るシリコン基板要部の平断面図、第5図は一般的な半導体装置の要部側断面図、第6図、第7図、第8図、第9図は夫々ビエゾ抵抗係数の各種結晶面における面内方位依存性を示す特性図である。

1…シリコン基板、2, 3…P型領域、4…絶縁板、5…PチャンネルFETソース電極、6…PチャンネルFETゲート電極、7…PチャンネルFETドレイン電極、8…保護膜、9…樹脂、10…NチャンネルFETソース電極、11…NチャンネルFETゲート電極、12…NチャンネルFETドレイン電極。

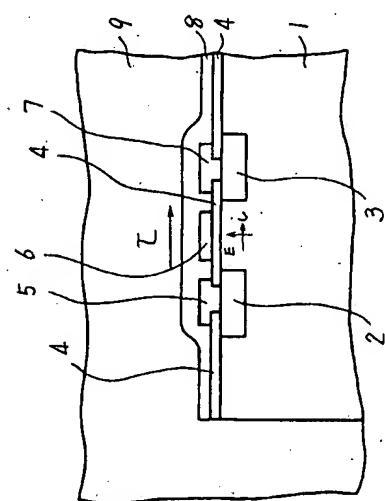
代理人弁理士 小川勝男



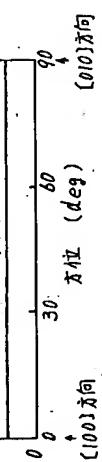
第6図



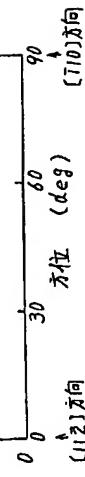
第5図



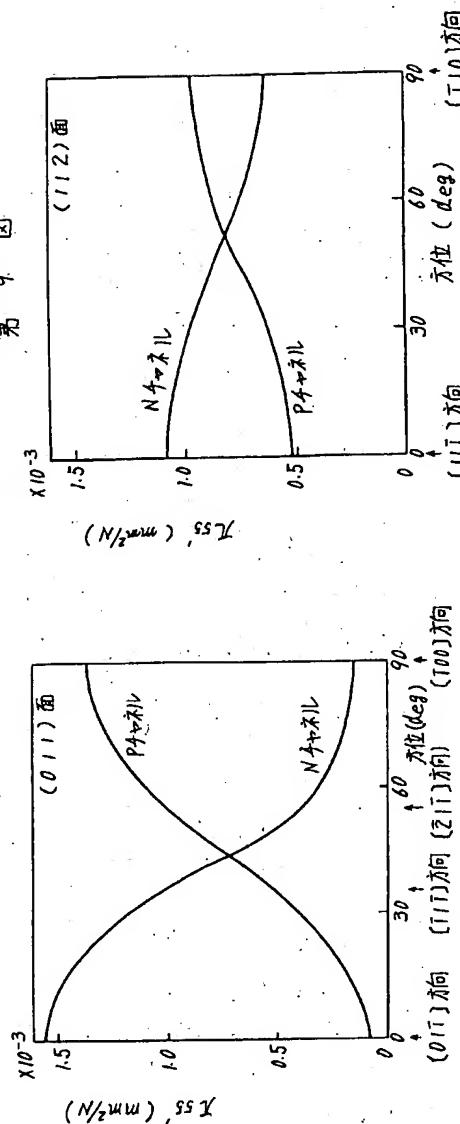
第7図



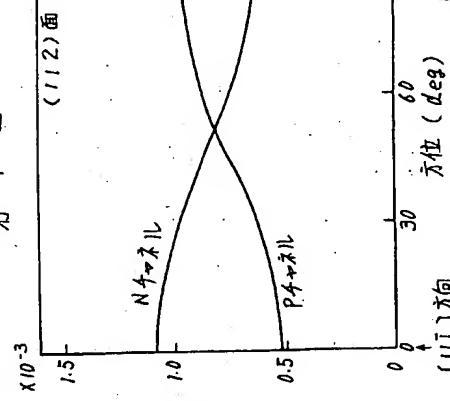
第8図



第9図



第9図



第9図

手 続 補 正 書 (自発)

特許庁長官 殿

昭和 年 月 日
63 1 22(2) 明細書第9頁第1行目「(100)」を
「(110)」に訂正する。

以 上

1. 事件の表示

昭和62年特許願 第 232209号

2. 発明の名称

半導体装置

3. 補正をする者

事件との関係 特許出願人

名 称 (510)株式会社 日立製作所

4. 代理人

居 所 〒100 東京都千代田区丸の内一丁目5番1号
株式会社日立製作所内 電話 東京 212-1111 (大代表)

氏 名 (6850) 介 墓 小 川 勝 男

5. 補正の対象 明細書の「特許請求の範囲」、及び
「発明の詳細な説明」の欄。

6. 補正の内容

(1) 特許請求の範囲を別紙の通りに補正する。

別紙

方式
審査 小松

(2)

方向となるような方向に切り出し、前記素子のソース電極、ゲート電極及びドレイン電極をこの方向に並べて配置することを特徴とする半導体装置。

2. 特許請求の範囲

1. シリコン基板に形成されたPチャンネル電解効果トランジスタ素子を有する樹脂封止型の半導体装置において、前記シリコン基板の表面を(110)面とし、前記素子をそのPチャンネル電流方向が<110>方向となるように配置することを特徴とする半導体装置。

2. シリコン基板に形成されたPチャンネル電解効果トランジスタ素子を有する樹脂封止型の半導体装置において、前記シリコン基板を(110)面のシリコンウエハから一辺の方向が<111>方向となるような方向に切り出し、前記素子のソース電極、ゲート電極及びドレイン電極をこの方向に並べて配置することを特徴とする半導体装置。

3. シリコン基板に形成されたPチャンネル電解効果トランジスタ素子を有する樹脂封止型の半導体装置において、前記シリコン基板を(211)面のシリコンウエハから一辺の方向が<111>

(1)

(2)

PAT-NO: JP401076755A
DOCUMENT-IDENTIFIER: JP 01076755 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: March 22, 1989

INVENTOR- INFORMATION:

NAME
YASUKAWA, AKIO

ASSIGNEE- INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP62232209

APPL-DATE: September 18, 1987

INT-CL (IPC): H01L027/08, H01L029/78

ABSTRACT:

PURPOSE: To reduce the characteristics fluctuation due to stress applied from resin, and stabilize characteristics, by using a silicon substrate of face 110, and arranging a P-channel FET element in a manner in which the channel current flows in a specific direction.

CONSTITUTION: A silicon substrate 1 of face 110 is used. The source electrode 5, the gate electrode 6, and the drain electrode 7 of a P-channel FET are arranged in the direction <110>, and the P-channel current flows in the direction <110>. The source electrode 10, the gate electrode 11 and the drain electrode 12 of an N-channel FET are arranged in the

direction <110>, and the
N-channel current flows in the direction <110>. As the
result of
characteristics fluctuation caused by the stress of a
resin-seal type FET
element, an important piezoelectric resistance coefficient
 π_{55}' becomes
minimum in the direction <110> of face 110 in the case of
P-channel, and
 π_{55}' of N-channel becomes minimum in the direction <110>
of face 110. Since
characteristics fluctuation due to stress becomes minimum,
stable
characteristics are obtained.

COPYRIGHT: (C)1989, JPO&Japio